

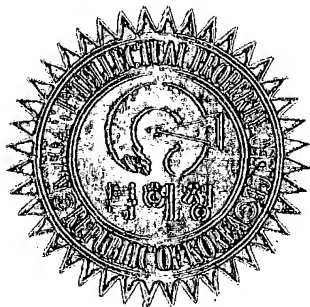


This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0085866
Application Number PATENT-2002-0085866

출원년월일 : 2002년 12월 28일
Date of Application DEC 28, 2002

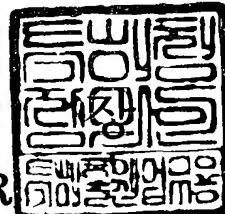
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.12.28
【국제특허분류】	H01L
【발명의 명칭】	센싱속도 저하를 방지할 수 있는 비트라인 커플링 스킴을 갖는 반도체 메모리장치
【발명의 영문명칭】	Semiconductor memory device having bitline coupling scheme capable of preventing sensing speed deterioration
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	장태성
【성명의 영문표기】	JANG, Tae Seong
【주민등록번호】	650622-1100613
【우편번호】	449-846
【주소】	경기도 용인시 수지구 풍덕천리 1168번지 진산마을 삼성5 차아파트 51 6-703
【국적】	KR
【발명자】	
【성명의 국문표기】	최성호
【성명의 영문표기】	CHOI, Sung Ho
【주민등록번호】	721224-1703016

【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 유원아파트 607-703
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 17 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 8 항 365,000 원
【합계】 394,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

외부 전원전압 레벨의 변화에 기인하는 센싱속도 저하를 방지할 수 있는 비트라인 커플링 스킴을 갖는 반도체 메모리장치가 개시된다. 상기 반도체 메모리장치는, 다수개의 메모리셀들을 포함하는 메모리셀 어레이, 상기 메모리셀 어레이에 연결되는 비트라인 및 상보 비트라인, 일단이 상기 비트라인 및 상기 상보 비트라인중 하나에 연결되고 타단에 제어신호가 인가되는 커플링 커패시터, 상기 비트라인 및 상기 상보 비트라인 간의 전압차를 감지증폭하는 비트라인 감지증폭기, 및 상기 제어신호를 발생하는 제어회로를 구비하고, 특히 외부에서 인가되는 외부 전원전압이 전압강하되어 발생된 내부 전원전압이 상기 제어회로의 전원전압으로 사용되는 것을 특징으로 한다. 상기 내부 전원전압은 비트라인 리스토어링(Restoring)시 액티브 리스토어 레벨(Active restore level)의 "하이(High)"를 결정하는 전압이다. 상기 제어회로는 최종단에 상기 제어신호를 출력하는 인버터를 구비하고, 상기 인버터의 피모스 트랜지스터의 소오스 및 벌크에 상기 내부 전원전압이 인가된다. 상기 인버터의 피모스 트랜지스터의 벌크에 상기 내부 전원전압 대신에 상기 외부 전원전압이 인가될 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

센싱속도 저하를 방지할 수 있는 비트라인 커플링 스킴을 갖는 반도체 메모리장치
{Semiconductor memory device having bitline coupling scheme capable of preventing
sensing speed deterioration}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면
의 간단한 설명이 제공된다.

도 1은 종래기술에 따른 비트라인 커플링 스킴을 갖는 반도체 메모리장치를 나타내
는 도면이다.

도 2는 본 발명에 따른 비트라인 커플링 스킴을 갖는 반도체 메모리장치를 나타내
는 도면이다.

도 3은 내부전압 발생회로의 일예를 나타내는 도면이다.

도 4는 도 2에 도시된 제어회로의 다른 실시예로서 모드레지스터 셋트(Mode
Register Set, MRS)를 이용하여 제어회로의 전원전압을 가변시키는 경우를 나타낸다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 비트라인 커플링 커패시터를 제
어하는 제어회로에 관한 것이다.

- <7> 반도체 메모리장치, 특히 디램은 집적도가 커질수록 메모리셀의 면적이 점점 줄어들고 있으며, 이로 인하여 디램 메모리셀 내의 스토리지 커패시터의 용량(Capacitance), 즉 셀 용량(Cell capacitance)이 작아지고 있다. 이는 디램의 센싱속도나 리프레쉬와 같은 동작특성에 영향을 주게 되어 디램의 성능을 저하시킨다.
- <8> 일반적으로 이러한 단점을 줄이기 위하여 셀 용량을 증가시키기 위한 비트라인 커플링 스킴(Bitline coupling scheme)이 이용된다.
- <9> 도 1은 종래기술에 따른 비트라인 커플링 스킴을 갖는 반도체 메모리장치를 나타내는 도면이다.
- <10> 도 1을 참조하면, 커플링 커패시터(12)의 일단이 비트라인(BL)에 연결되고 커플링 커패시터(12)의 타단에는 제어신호(PBLC)가 인가된다. 비트라인(BL) 및 상보 비트라인(BLB)은 메모리셀들(MC0, MCn)을 포함하는 메모리셀 어레이(11)에 연결되고, 감지증폭기(13)는 비트라인(BL) 및 상보 비트라인(BLB) 간의 전압차를 감지증폭한다.
- <11> 제어신호(PBLC)는 제어회로(14)에 의해 발생된다. 제어신호(PBLC)가 논리"1"이 되면 비트라인(BL)에 연결된 커플링 커패시터(12)가 동작되어 메모리셀(MC) 내의 스토리지 커패시터(C)의 용량, 즉 셀 용량(Cell capacitance)이 증가된다.
- <12> 제어회로(14)는 블록 선택신호(BI)와 비트라인 커플 스킴을 인에이블 시키는 신호(PBLCE)를 수신하는 낸드게이트(ND1) 및 낸드게이트(ND1)의 출력신호를 반전시켜 제어신호(PBLC)를 발생하는 인버터(I1)를 구비한다.
- <13> 그런데 도 1에 도시된 바와 같이 종래기술에 따른 비트라인 커플링 스킴에서는 인버터(I1)의 피모스 트랜지스터(P1)의 소오스 및 벌크에 반도체 메모리장치의 외부에서

인가되는 외부 전원전압(VDD)이 인가된다. 이에 따라 외부 전원전압(VDD)의 레벨이 상승할수록 제어신호(PBLC)의 전압레벨도 상승하게 되며 그래서 메모리셀에 저장된 데이터가 논리"1"일 경우에는 ΔVBL (비트라인(BL) 및 상보 비트라인(BLB) 간의 전압차)이 커지게 된다. 따라서 감지증폭기(13)의 센싱속도가 향상되며 결국 반도체 메모리장치의 성능이 향상된다.

- <14> 반면에 메모리셀에 저장된 데이터가 논리"0"일 경우에는 외부 전원전압(VDD)의 레벨이 상승할수록 ΔVBL 이 오히려 작아지게 되어 감지증폭기(13)의 센싱속도가 떨어지게 되며 결국 반도체 메모리장치의 성능이 떨어지게 된다.

【발명이 이루고자 하는 기술적 과제】

- <15> 따라서 본 발명이 이루고자하는 기술적 과제는, 외부 전원전압의 레벨이 변하더라도 센싱속도를 떨어뜨리지 않는 비트라인 커플링 스킴을 갖는 반도체 메모리장치를 제공하는 데 있다.

- <16> 또한 본 발명이 이루고자하는 다른 기술적 과제는, 모드레지스터 셋트(MRS)를 이용하여 비트라인 커플링 스킴의 동작특성을 향상시켜 센싱속도를 향상시킬 수 있는 반도체 메모리장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <17> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 비트라인 커플링 스킴을 갖는 반도체 메모리장치는, 다수개의 메모리셀들을 포함하는 메모리셀 어레이, 상기 메모리셀 어레이에 연결되는 비트라인 및 상보 비트라인, 일단이 상기 비트라인 및 상기 상보 비트라인중 하나에 연결되고 타단에 제어신호가 인가되는 커플링 커패시터, 상기 비트라인

및 상기 상보 비트라인 간의 전압차를 감지증폭하는 비트라인 감지증폭기, 및 상기 제어신호를 발생하는 제어회로를 구비하고, 외부에서 인가되는 외부 전원전압이 전압강하되어 발생된 내부 전원전압이 상기 제어회로의 전원전압으로 사용되는 것을 특징으로 한다.

<18> 상기 내부 전원전압은 비트라인 리스토어링(Restoring)시 액티브 리스토어 레벨(Active restore level)의 "하이(High)"를 결정하는 전압이다.

<19> 본 발명의 일실시예에 따르면 상기 제어회로는, 최종단에 상기 제어신호를 출력하는 인버터를 구비하고, 상기 인버터의 피모스 트랜지스터의 소오스 및 벌크에 상기 내부 전원전압이 인가된다. 상기 인버터의 피모스 트랜지스터의 벌크에 상기 내부 전원전압 대신에 상기 외부 전원전압이 인가될 수 있다.

<20> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리장치는, 다수개의 메모리셀들을 포함하는 메모리셀 어레이, 상기 메모리셀 어레이에 연결되는 비트라인 및 상보 비트라인, 일단이 상기 비트라인 및 상기 상보 비트라인중 하나에 연결되고 타단에 제어신호가 인가되는 커플링 커패시터, 상기 비트라인 및 상기 상보 비트라인 간의 전압차를 감지증폭하는 비트라인 감지증폭기, 상기 제어신호를 발생하는 제어회로, 복수개의 전원 제어신호들에 응답하여 상기 제어회로의 전원전압을 가변시키는 스위치 회로, 및 외부에서 인가되는 명령에 응답하여 상기 전원 제어신호들을 발생하는 모드레지스터 셋트를 구비하는 것을 특징으로 한다.

<21> 상기 스위치 회로는 제1스위치 내지 제4스위치를 포함한다. 상기 제1스witch는 제1 전원 제어신호의 활성화에 응답하여, 외부에서 인가되는 외부 전원전압이 승압되어 발생

된 승압전압을 상기 제어회로의 전원전압으로 전달한다. 상기 제2스위치는 제2전원 제어 신호의 활성화에 응답하여, 상기 외부 전원전압을 상기 제어회로의 전원전압으로 전달한다. 상기 제3스위치는 제3전원 제어신호의 활성화에 응답하여, 상기 외부 전원전압이 전압강하되어 발생된 내부 전원전압을 상기 제어회로의 전원전압으로 전달한다. 상기 제4스위치는 제4전원 제어신호의 활성화에 응답하여, 상기 외부 전원전압이 전압강하되어 발생된 또 다른 내부 전원전압을 상기 제어회로의 전원전압으로 전달한다. 상기 스위치 회로는 상기 제1스위치 내지 제4스위치를 전부 포함할 수도 있으며 일부만을 포함할 수도 있다.

<22> 상기 제어회로는, 최종단에 상기 제어신호를 출력하는 인버터를 구비하고, 상기 인버터의 피모스 트랜지스터의 소오스 및 벌크에 상기 스위치 회로의 출력신호가 인가된다.

<23> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<24> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<25> 도 2는 본 발명에 따른 비트라인 커플링 스킴을 갖는 반도체 메모리장치를 나타내는 도면이다.

- <26> 도 2를 참조하면, 본 발명에 따른 반도체 메모리장치는, 다수개의 메모리셀들(MC0, MCn)을 포함하는 메모리셀 어레이(21), 비트라인(BL) 및 상보 비트라인(BLB), 커플링 커패시터(22), 감지증폭기(23), 및 제어회로(24)를 구비한다.
- <27> 비트라인(BL) 및 상보 비트라인(BLB)은 메모리셀 어레이(21)에 연결된다. 비트라인 감지증폭기(23)는 내부 전원전압(AIVCA)을 전원전압으로 사용하고 비트라인(BL) 및 상보 비트라인(BLB) 간의 전압차를 감지증폭한다. 내부 전원전압(AIVCA)은 내부전압 발생 회로에 의해 발생된다. 내부 전원전압(AIVCA)은 외부에서 인가되는 외부 전원전압(VDD)이 전압강하되어 발생하는 전압으로서 외부 전원전압(VDD)의 레벨이 상승하더라도 소정의 레벨로 클램프(Clamp)되는 전압이다.
- <28> 내부 전원전압(AIVCA)은 비트라인 감지증폭기(23)와 같은 메모리 코아 회로들의 전원전압으로 사용되며 특히 내부 전원전압(AIVCA)은 비트라인 리스토어링(Restoring)시 액티브 리스토어 레벨(Active restore level)의 "하이(High)"를 결정한다.
- <29> 셀 용량(Cell capacitance)을 증가시키기 위해 커플링 커패시터(22)가 비트라인(BL)에 연결된다. 커플링 커패시터(22)의 일단은 비트라인(BL)에 연결되고 커플링 커패시터(22)의 타단에는 제어신호(PBLC)가 인가된다. 제어신호(PBLC)는 제어회로(24)에 의해 발생되며 제어회로(24)는 블록 선택신호(BI)와 비트라인 커플 스킴을 인에이블 시키는 신호(PBLCE)에 응답하여 제어신호(PBLC)를 발생한다. 제어신호(PBLC)가 논리"1"이 되면 비트라인(BL)에 연결된 커플링 커패시터(22)가 동작되어 메모리셀(MC) 내의 스토리지 커패시터(C)의 용량, 즉 셀 용량(Cell capacitance)이 증가되는 효과를 갖는다.

- <30> 제어회로(24)는 블록 선택신호(BI)와 신호(PBLCE)를 수신하는 낸드게이트(ND2) 및 낸드게이트(ND2)의 출력신호를 반전시켜 제어신호(PBLC)를 발생하는 인버터(I2)를 구비한다. 특히 본 발명에서는 인버터(I2)의 전원전압으로서 비트라인 리스토어링(Restoring)시 액티브 리스토어 레벨(Active restore level)의 "하이(High)"를 결정하는 내부 전원전압(AIVCA)이 사용된다. 즉 인버터(I2)의 피모스 트랜지스터(P2)의 소오스 및 벌크에 내부 전원전압(AIVCA)이 인가된다.
- <31> 이에 따라 외부 전원전압(VDD)의 레벨이 상승하더라도 제어신호(PBLC)의 "하이" 레벨은 소정의 레벨로 클램프되는 내부 전원전압(AIVCA) 레벨이 된다. 따라서 메모리셀에 저장된 데이터가 논리"1"일 경우나 논리"0"일 경우에 모두 ΔVBL (비트라인(BL) 및 상보 비트라인(BLB) 간의 전압차)은 대체로 일정하게 유지되며 이에 따라 감지증폭기(23)의 성능이 떨어지는 것이 방지된다. 즉 반도체 메모리장치의 성능 저하가 방지된다.
- <32> 한편 인버터(I2)의 피모스 트랜지스터(P2)의 벌크에 내부 전원전압(AIVCA) 대신에 외부 전원전압(VDD)이 인가될 수 있다. 이러한 경우에는 내부 전원전압(AIVCA)이 순간적으로 높아지더라도 피모스 트랜지스터(P2)의 소오스와 벌크 사이에 순 바이어스(Forward bias)가 걸리는 것이 방지될 수 있다.
- <33> 도 3은 내부전압 발생회로의 일예를 나타내는 도면이다. 일반적으로 내부전압 발생회로는 드라이버(P3)와 비교기(31)를 구비한다. 드라이버(P3)는 제어신호(CNT)에 응답하여 외부 전원전압(VDD)을 수신하여 내부 전원전압(AIVCA)를 구동하며 피모스 트랜지스터로 구성된다. 비교기(31)는 기준전압(VREF)과 내부 전원전압(AIVCA)을 비교하여 제어신호(CNT)를 발생한다. 도 3에 도시된 내부전압 발생회로는 일예이며 이로부터 다양한 변형이 가능함은 자명하다.

- <34> 도 4는 도 2에 도시된 제어회로의 다른 실시예로서 모드레지스터 셋트(Mode Register Set, MRS)를 이용하여 제어회로의 전원전압을 가변시키는 경우를 나타낸다.
- <35> 도 4를 참조하면, 제어회로(44)는 블록 선택신호(BI)와 신호(PBLCE)를 수신하는 낸드게이트(ND3), 낸드게이트(ND3)의 출력신호의 레벨을 쉬프트하여 출력하는 레벨 쉬프터(441), 및 레벨 쉬프터(441)의 출력신호를 반전시켜 제어신호(PBLC)를 발생하는 인버터(I3)를 구비한다.
- <36> 특히 인버터(I3)의 전원전압으로서 스위치 회로(46)의 출력신호가 사용된다. 즉 인버터(I3)의 피모스 트랜지스터(P3)의 소오스 및 벌크에 스위치 회로(46)의 출력신호가 인가된다.
- <37> 좀더 상세하게는 모드레지스터 셋트(MRS)(48)가 외부에서 인가되는 명령(CMD)에 응답하여 복수개의 전원 제어신호들(PC1-PC4)을 발생한다. 그러면 스위치 회로(46)는 복수개의 전원 제어신호들(PC1-PC4)에 응답하여 제어회로(44)내의 인버터(I3)의 전원전압을 가변시킨다.
- <38> 스위치 회로(46)는 복수개의 스위치들(SW1-SW4)을 포함한다. 제1전원 제어신호(PC1)가 활성화되면 제1스위치(SW1)가 턴온되어 승압전압(VPP)이 인버터(I3)의 전원전압으로서 제공된다. 제2전원 제어신호(PC2)가 활성화되면 제2스위치(SW2)가 턴온되어 외부 전원전압(VDD)이 인버터(I3)의 전원전압으로서 제공된다. 제3전원 제어신호(PC3)가 활성화되면 제3스위치(SW3)가 턴온되어 내부 전원전압(VINT)이 인버터(I3)의 전원전압으로서 제공된다. 제4전원 제어신호(PC4)가 활성화되면 제4스위치(SW4)가 턴온되어 또 다른 내부 전원전압(AIVCA)이 인버터(I3)의 전원전압으로서 제공된다.

- <39> 여기에서 내부 전원전압(AIVCA)은 도 2 및 도 3에 도시된 것과 동일한 전압을 나타낸다. 승압전압(VPP)은 외부 전원전압(VDD)이 승압되어 발생하는 전압이다. 내부 전원전압(VINT)은 내부 전원전압(AIVCA)과 마찬가지로 외부 전원전압(VDD)이 전압강하되어 발생하는 전압으로서 외부 전원전압(VDD)의 레벨이 상승하더라도 소정의 레벨로 클램프(Clamp)되는 전압이다.
- <40> 한편 인버터(I3)의 피모스 트랜지스터(P3)의 게이트에 인가되는 신호의 레벨은 피모스 트랜지스터(P3)의 소오스에 인가되는 전원전압의 레벨에 비하여 같거나 높아야 한다. 이를 위하여 레벨 쉬프터(441)는 전원전압으로서 승압전압(VPP)을 사용한다.
- <41> 이상에서와 같이 도 4에 도시된 회로를 채용할 경우에는, 필요할 때 모드레지스터 셋트(48)를 이용하여 제어회로(44) 내의 인버터(I3)의 전원전압을 가변시킴으로써 비트 라인 커플링 스킴의 동작특성을 향상시킬 수 있다.
- <42> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<43> 상술한 바와 같이 본 발명에 따른 비트라인 커플링 스킴을 갖는 반도체 메모리장치에서는 외부 전원전압의 레벨이 증가하더라도 감지증폭기의 성능, 즉 센싱속도가 떨어지는 것이 방지된다. 즉 반도체 메모리장치의 성능 저하가 방지된다.

<44> 또한 필요할 때 모드레지스터 셋트(MRS)를 이용하여 제어회로(44) 내의 인버터(I3)의 전원전압을 가변시킴으로써 비트라인 커플링 스킴의 동작특성을 향상시켜 센싱속도를 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

다수개의 메모리셀들을 포함하는 메모리셀 어레이;

상기 메모리셀 어레이에 연결되는 비트라인 및 상보 비트라인;

일단이 상기 비트라인 및 상기 상보 비트라인중 하나에 연결되고 타단에 제어신호가 인가되는 커플링 커패시터;

상기 비트라인 및 상기 상보 비트라인 간의 전압차를 감지증폭하는 비트라인 감지 증폭기; 및

상기 제어신호를 발생하는 제어회로를 구비하고,

외부에서 인가되는 외부 전원전압이 전압강하되어 발생된 내부 전원전압이 상기 제어회로의 전원전압으로 사용되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 2】

제1항에 있어서, 상기 내부 전원전압은 비트라인 리스토어링(Restoring)시 액티브 리스토어 레벨(Active restore level)의 "하이(High)"를 결정하는 전압인 것을 특징으로 하는 반도체 메모리장치.

【청구항 3】

제1항에 있어서, 상기 제어회로는,

최종단에 상기 제어신호를 출력하는 인버터를 구비하고,

상기 인버터의 피모스 트랜지스터의 소오스에 상기 내부 전원전압이 인가되고 상기 피모스 트랜지스터의 벌크에 상기 외부 전원전압이 인가되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 4】

제1항에 있어서, 상기 제어회로는,

최종단에 상기 제어신호를 출력하는 인버터를 구비하고,

상기 인버터의 피모스 트랜지스터의 소오스 및 벌크에 상기 내부 전원전압이 인가되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 5】

제1항에 있어서, 상기 내부 전원전압이 상기 비트라인 감지증폭기의 전원전압으로 사용되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 6】

다수개의 메모리셀들을 포함하는 메모리셀 어레이;

상기 메모리셀 어레이에 연결되는 비트라인 및 상보 비트라인;

일단이 상기 비트라인 및 상기 상보 비트라인중 하나에 연결되고 타단에 제어신호가 인가되는 커플링 커패시터;

상기 비트라인 및 상기 상보 비트라인 간의 전압차를 감지증폭하는 비트라인 감지 증폭기;

상기 제어신호를 발생하는 제어회로;

복수개의 전원 제어신호들에 응답하여 상기 제어회로의 전원전압을 가변시키는 스위치 회로; 및

외부에서 인가되는 명령에 응답하여 상기 전원 제어신호들을 발생하는 모드레지스터 셋트를 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 7】

제6항에 있어서, 상기 스위치 회로는,

제 1전원 제어신호의 활성화에 응답하여, 외부에서 인가되는 외부 전원전압이 승압되어 발생된 승압전압을 상기 제어회로의 전원전압으로 전달하는 제1스위치;

제2전원 제어신호의 활성화에 응답하여, 상기 외부 전원전압을 상기 제어회로의 전원전압으로 전달하는 제2스위치;

제 3전원 제어신호의 활성화에 응답하여, 상기 외부 전원전압이 전압강하되어 발생된 내부 전원전압을 상기 제어회로의 전원전압으로 전달하는 제3스위치; 및

제4전원 제어신호의 활성화에 응답하여, 상기 외부 전원전압이 전압강하되어 발생된 또 다른 내부 전원전압을 상기 제어회로의 전원전압으로 전달하는 제4스위치를 전부 또는 일부를 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 8】

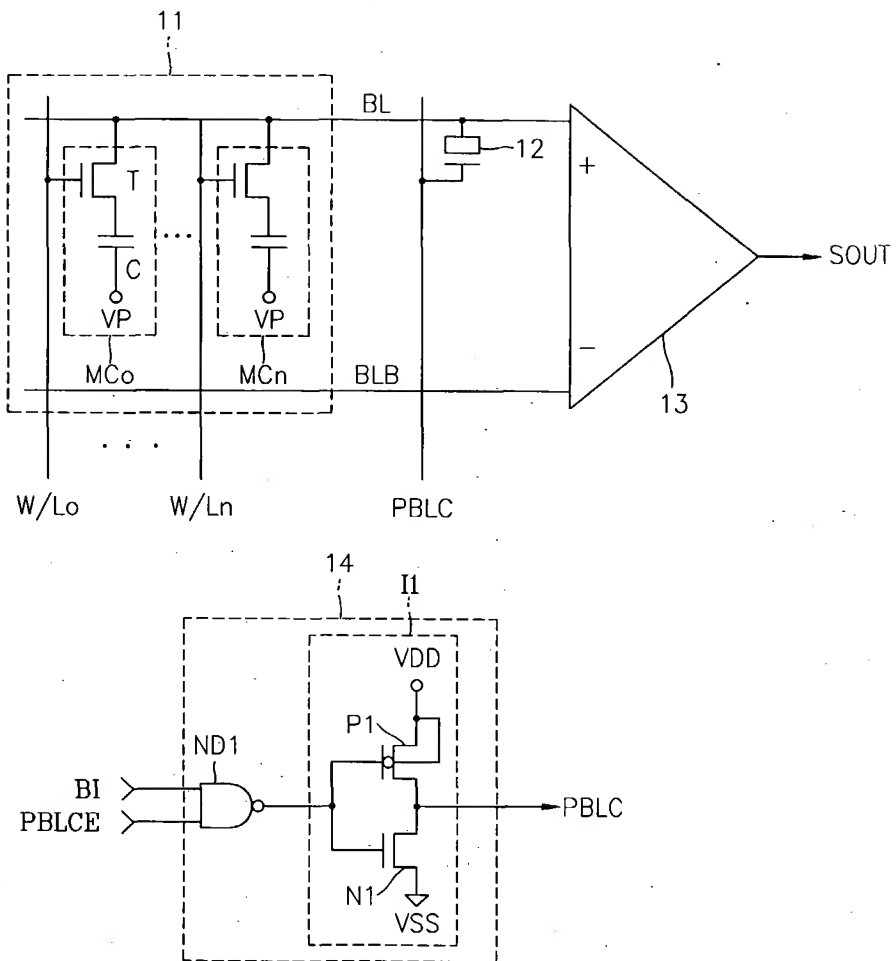
제6항에 있어서, 상기 제어회로는,

최종단에 상기 제어신호를 출력하는 인버터를 구비하고,

상기 인버터의 피모스 트랜지스터의 소오스 및 벌크에 상기 스위치 회로의 출력신호가 인가되는 것을 특징으로 하는 반도체 메모리장치.

【도면】

【도 1】



【도 4】

